



UNIVERSIDAD DE LAS PALMAS  
DE GRAN CANARIA

**Examen de Sistemas Digitales**  
**12 de septiembre de 2006**  
**Ingeniería Técnica en Informática de Sistemas**

La duración del examen es de dos horas y media.

El examen consta de cinco preguntas, cada una de las cuales indica su valor para la nota final.

Las notas se publicarán el miércoles 13 de septiembre a las 12:00 horas en el tablón de anuncios del Seminario 5 (segunda planta del módulo de profesores) y en la página web de la asignatura.

La revisión del examen tendrá lugar en el Seminario 5 el miércoles 13 de septiembre en horario de 16:00 a 18:00 y el jueves 14 de septiembre en horario de 8:30 a 10:30.

El acta provisional se publicará el jueves 14 de septiembre a las 12:00 horas en el tablón de anuncios del Seminario 5 y en la página web de la asignatura. Dicha acta quedará expuesta durante cinco días hábiles, durante los cuales será posible comunicar cualquier queja a través de la dirección de correo del coordinador de la asignatura: [ojsantana@dis.ulpgc.es](mailto:ojsantana@dis.ulpgc.es).

**1. Dados los números decimales 60 y -15, transformarlos en números binarios de 8 bits en formato de complemento a 2. Una vez hecho esto, realizar la división binaria (60 / -15) sin utilizar la operación de resta y expresar el resultado tanto en complemento a 2 como en decimal.**

[1'5 puntos]

**2. Tengo un alumno que siempre confunde el día de Navidad (25dec) con la noche de Halloween (31oct). ¿Tiene esto alguna explicación razonable dentro del contexto de la asignatura o debo recomendar a la comisión docente su ingreso en un hospital psiquiátrico?**

[0'5 puntos]

**3. Dada la función lógica  $F(A,B,C,D) = \sum(0,1,4,5,6,13) + \sum_x(2,8,9)$  se pide**

**A) Minimizar la función utilizando el método de Karnaugh y dibujar el circuito obtenido.**

[0'5 puntos]

**B) Minimizar la función utilizando el método de Quine-McCluskey y dibujar el circuito obtenido.**

[0'5 puntos]

**C) Dibujar el circuito correspondiente usando sólo puertas NAND.**

[0'5 puntos]

**D) Dibujar el circuito correspondiente usando sólo puertas NOR.**

[0'5 puntos]

**E) Dibujar el circuito correspondiente usando un decodificador activo a nivel alto con dos entradas de control conectadas a las variables C y D.**

[0'75 puntos]

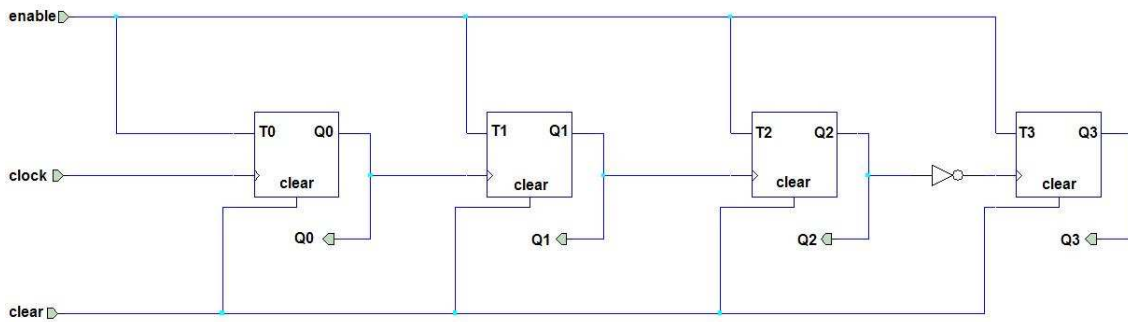
**F) Dibujar el circuito correspondiente usando un multiplexor con dos entradas de control conectadas a las variables A y B.**

[0'75 puntos]

**G) Dibujar el circuito correspondiente usando una ROM e indicando el número de líneas de dirección necesarias y el tamaño de las palabras almacenadas.**

[0'5 puntos]

4. El siguiente circuito es un contador asíncrono implementado usando cuatro biestables de tipo T activos por flanco de subida. El contador cuenta con una entrada de habilitación *enable* y una entrada asíncrona de inicialización *clear*. Suponiendo que la entrada de habilitación está siempre activa y partiendo del estado inicial establecido por la señal *clear*, se pide determinar la secuencia de números contada por el circuito. [1'5 puntos]



5. El diagrama de estados de la figura describe el funcionamiento de un sistema secuencial. Se pide diseñar un circuito que implemente este funcionamiento utilizando biestables de tipo D y la mínima cantidad posible de puertas AND, OR y NOT. [2'5 puntos]

